

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-121006

(43) 公開日 平成9年(1997)5月6日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/29			H 0 1 L 23/30	B
23/31			21/56	R
21/56				

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平7-277277

(22) 出願日 平成7年(1995)10月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 高木 祐一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

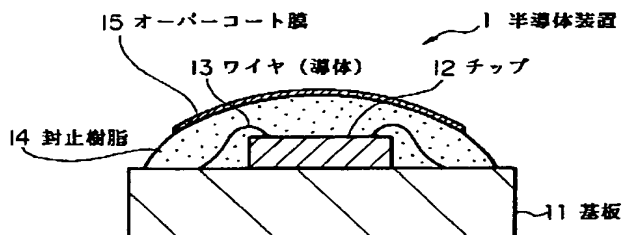
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ベアチップ実装されたチップを樹脂で封止してなる半導体装置においては、樹脂が弾性変形するためワイヤ切れのような故障の解析が困難である。

【解決手段】 基板11と、基板11上にダイボンディングされたチップ12と、チップ12の表面側に形成された半導体素子と基板11表面の端子とを接続する導体13と、チップ12と導体13とを覆う状態で基板11上に塗布された封止樹脂14と、を備えた半導体装置1において、封止樹脂14よりも硬くかつ封止樹脂14と同程度の線膨張係数を有する材質からなる薄膜状のオーバーコート膜15を、封止樹脂14上に密着塗布させた。これによって、オーバーコート膜15または封止樹脂14に外部応力が加わった場合に、その証拠としてオーバーコート膜15にクラックを発生させる。



実施形態の半導体装置を説明する図(その1)

【特許請求の範囲】

【請求項1】 基板と、前記基板上にダイボンディングされたチップと、

前記チップの表面側に形成された半導体素子と前記基板表面の端子とを接続する導体と、

前記チップと前記導体とを覆う状態で前記基板上に塗布された封止樹脂と、を備えた半導体装置において、

前記封止樹脂よりも硬くかつ当該封止樹脂と同程度の線膨張係数を有する材質からなる薄膜状のオーバーコート膜を、当該封止樹脂上に塗布してなることを特徴とする半導体装置。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子が形成されたチップを基板上にベアチップ実装してなる半導体装置に関する。

【0002】

【従来の技術】COB (Chip On Board)と呼ばれる実装方法が施された半導体装置は、図3 (1)に示すように、基板11上にダイボンディングされたチップ12、このチップ12表面の半導体素子 (図示せず) と上記基板11表面の端子 (図示せず) とを接続する導体であるワイヤ13、及びチップ12とワイヤ13とを覆う状態で基板11上に塗布された封止樹脂14を備えている。 20

【0003】上記封止樹脂14は、半導体装置2の耐湿性を確保するためのものである。そして、この封止樹脂14を構成する材料は、一般的には基板11やチップ12を構成する主材料と比較してその線膨張係数が大きい値を有するものになる。そこで、封止樹脂14を構成する材料として柔軟性を有しかつ形状を維持できるような材料を選択することで、上記線膨張係数の違いによってチップ12及び基板11と封止樹脂14との界面にストレス (以下、内部応力と記す) が生じることを防止している。 30

【0004】このため、図3 (2)に示すように、上記封止樹脂14は、外部から機械的に加えられる応力 (以下、外部応力と記す) Aに対して大きく歪む。そして、封止樹脂14が歪むことによって、この封止樹脂14内に封止されているワイヤ13やチップ12にストレスが加わり、これが原因になって例えばワイヤ13が断線するような不良が発生する場合がある。そこで、上記半導体装置2を使用するユーザには、封止樹脂14に触れないように注意を促している。 40

【0005】

【発明が解決しようとする課題】ところが、上記のように封止樹脂に対して外部応力が加えられても、図4に示すようにこの外部応力が取り除かれると、封止樹脂14の形状は外部応力が加えられる前の形状に復元されてしまう。その結果、例えばワイヤ13が断線するような不良が発生しても、それが上記外部応力 (A) に起因する 50

ものであるのか、または熱履歴によって生じる内部応力に起因するものであるのかを判断することができず、製品の故障に対する責任の所在を明らかにすることができなかった。このため、半導体装置2をケースに入れて封止樹脂14に直接触れることができないようにする処置もとられている。しかし、これはコストを大幅に増加させる要因になる。

【0006】

【課題を解決するための手段】そこで、本発明の半導体装置は、基板、この基板上にダイボンディングされたチップ、このチップ表面の半導体素子と上記基板表面の端子とを接続する導体、上記チップと上記導体とを覆う状態で上記基板上に塗布された封止樹脂とを備えた半導体装置において、上記封止樹脂よりも硬くかつ当該封止樹脂と同程度の線膨張係数を有する材質からなる薄膜状のオーバーコート膜を、当該封止樹脂上に塗布してなることを上記課題を解決するための手段にしている。

【0007】上記構成の半導体装置では、封止樹脂上にオーバーコート膜が塗布されている。このため、封止樹脂またはオーバーコート膜に対して外部応力が加わると、封止樹脂及びオーバーコート膜は同じ量だけ歪む。この際、封止樹脂よりもオーバーコート膜の方が硬いため、上記歪みに対して封止樹脂よりも先にオーバーコート膜にクラックが生じる。ただし、封止樹脂とオーバーコート膜とは同程度の線膨張係数を有する材質からなるため、封止樹脂とオーバーコート膜との間には熱変化による内部応力が発生し難く、オーバーコート膜には内部応力によるクラックは発生しない。このため、上記クラックは、封止樹脂またはオーバーコート膜に対して外部応力が加わった証拠になる。

【0008】

【発明の実施の形態】図1は、本発明の実施形態の半導体装置を示す図であり、先ず、この図1に基づいて本発明の実施形態を説明する。尚、従来と同一の構成要素には同一の符号を付して説明を行う。

【0009】図1に示すように、半導体装置1は、基板11上のチップ12とワイヤ13とを覆う封止樹脂14上に、薄膜状のオーバーコート膜15を塗布してなる。塗布した状態においては、封止樹脂14とオーバーコート膜15とは密着した状態にあることとする。上記基板11は、例えばセラミックからなり、チップ12を構成する主材料と同程度の線膨張係数を有するものである。また、基板11のチップ12を載置する面には端子 (図示せず) が形成されている。

【0010】そして、チップ12は、その表面側に半導体素子 (図示せず) が形成され、さらに半導体素子形成面上にパッシベーション膜を成膜してなるものである。このチップ12は、素子形成面の裏面側を基板11に対向させた状態で当該基板11上にダイボンディングされている。また、ワイヤ13は、例えば金線からなり、チ

チップ12表面の上記半導体素子と基板11表面の上記端子とを接続する導体になるものである。

【0011】さらに、上記封止樹脂14は、例えばシリコンゴム、シリコン重合エポキシ材またはその他の合成ゴムのような柔軟性を有しかつ弾性変形可能で防湿効果を有する材料からなる。この封止樹脂14は、例えばポッティング法によって、基板11上にコートされたものである。

【0012】そして、上記オーバーコート膜15は、封止樹脂14よりも硬くかつ当該封止樹脂14と同程度の線膨張係数を有する材質からなる薄膜状のものである。ここで、オーバーコート膜15の硬さは、少なくとも外部応力によってワイヤ13にダメージが加わる程度に封止樹脂14及びオーバーコート膜15が歪んだ場合に、封止樹脂14にはクラックが生じないが当該オーバーコート膜15にはクラックが生じる程度とする。また、オーバーコート膜15の線膨張係数は、例えば基板実装時の温度履歴、具体的には $-50 \sim +220^{\circ}\text{C}$ 程度の温度変化によって生じる内部応力で当該オーバーコート膜15にクラックが生じない程度の値とする。さらに、オーバーコート膜15の膜厚は、上記外部応力によってクラックが入り易いように、一例として $0.2\mu\text{m}$ 以下に設定する。

【0013】上記のような材質を有する材料としては、エポキシ材、ラッカー塗料、酢酸系樹脂、エナメル系塗料等がある。これらの他にも、上記の条件を満たす材質を有するものであれば、オーバーコート膜15を構成する材料として使用可能であり、このような材料かなるこのオーバーコート膜15は、ポッティング法、印刷法等の方法によって封止樹脂14上にコートされたものである。

【0014】上記のように構成された半導体装置1では、例えば、図2(1)に示すように、オーバーコート膜15上から外部応力Aが加えられると、当該オーバーコート膜15とこの下の封止樹脂14とが歪む。そして、この歪み量が大きいと、封止樹脂14内に封止されているワイヤ13やチップ12にダメージが加わり、これが原因になって例えばワイヤ13が断線する。さらに、この外部応力Aによってオーバーコート膜15にクラックaが生じる。その後、図2(2)に示すように、上記外部応力(A)が取り除かれると、封止樹脂14はその弾性変形可能な性質によって外部応力(A)が加えられる前の形状に復元され、これと共に封止樹脂14に密着塗布されたオーバーコート膜15も外部応力(A)が加えられる前の形状に復元される。しかし、オーバーコート膜15には、クラックaが残される。

【0015】以上のことから、例えば出荷した半導体装

置1がワイヤ13の断線不良を起こした場合、上記オーバーコート膜15にクラックaがあるか否かを検査し、クラックaがあればこの断線不良が出荷後に加えられた外部応力によるものと推定することができる。

【0016】また、オーバーコート膜15が封止樹脂14に密着塗布されていることから、封止樹脂14に対して直接外部応力が加わった場合にもオーバーコート膜15に歪みが生じる。このため、上記と同様の推定を行うことができる。したがって、オーバーコート膜15は、封止樹脂14上の全面を覆う必要はなく、例えば、種々のマーキングにオーバーコート膜15を適用しても良い。さらに、封止樹脂14のみを基板11上にコートした従来例と比較して、封止樹脂14またはオーバーコート膜15に加わる外部応力の大きさに対する封止樹脂14の歪み量が小さく抑えられる。このため、従来例と比較して、上記外部応力によってチップ12及びワイヤ13に加えられるダメージを削減する効果がある。尚、オーバーコート膜15で封止樹脂14の全面を覆うようにしても良い。

【0017】

【発明の効果】以上説明したように本発明の半導体装置によれば、基板上にダイボンディングされたチップを封止する封止樹脂上に、当該封止樹脂よりも硬くかつ当該封止樹脂と同程度の線膨張係数を有する材質からなるオーバーコート膜を塗布させたことによって、オーバーコート膜または封止樹脂に外部応力が加わった場合に、その証拠として当該オーバーコート膜にクラックを発生させることができる。このため、出荷後に発生したワイヤ切れのような不良が、外部応力に起因するものであるかを判断することが可能になる。したがって、例えば上記ワイヤ切れのような故障に対しそのメカニズムの解析が容易になる。

【図面の簡単な説明】

【図1】実施形態の半導体装置を説明する図(その1)である。

【図2】実施形態の半導体装置を説明する図(その2)である。

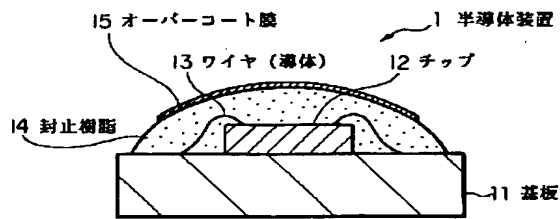
【図3】従来の半導体装置を説明する図である。

【図4】従来の半導体装置の課題を説明する図である。

【符号の説明】

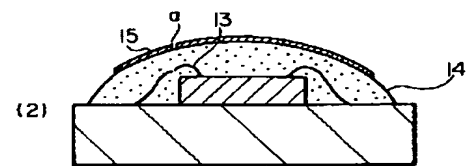
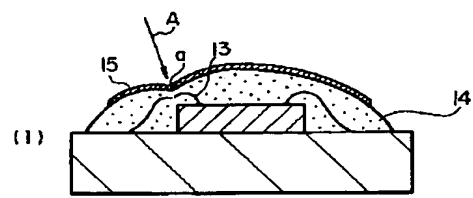
- 1 半導体装置
- 11 基板
- 12 チップ
- 13 ワイヤ(導体)
- 14 封止樹脂
- 15 オーバーコート膜

【図 1】



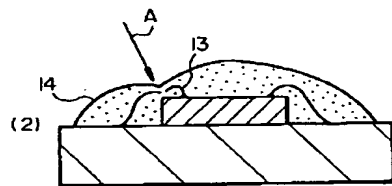
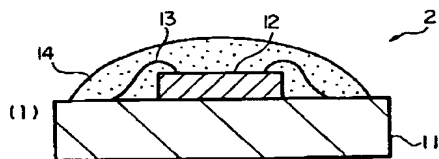
実施形態の半導体装置を説明する図(その1)

【図 2】



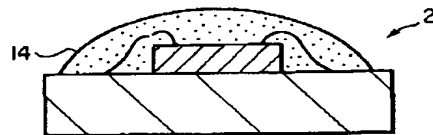
実施形態の半導体装置を説明する図(その2)

【図 3】



従来の半導体装置を説明する図

【図 4】



従来の半導体装置の課題を説明する図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-121006

(43)Date of publication of application : 06.05.1997

(51)Int.Cl.

H01L 23/29

H01L 23/31

H01L 21/56

(21)Application number : 07-277277

(71)Applicant : SONY CORP

(22)Date of filing : 25.10.1995

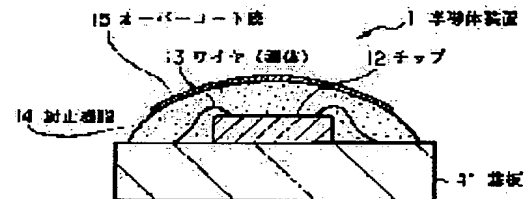
(72)Inventor : TAKAGI YUICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To judge the occurrence of failures such as breakage of a wire, etc., from cracking of an overcoat film by forming on a packaging resin an overcoat film which is harder than the packaging resin and whose linear expansion coefficient is almost the same as that thereof.

SOLUTION: A semiconductor device 1 is formed by coating a thin overcoat film 15 on a packaging resin 14 covering a chip 12 and a wire 13 on a substrate 11. The film 15 is formed of such a material that is harder than the resin 14 and has almost the same linear expansion coefficient as that of the resin 14. When an outer stress is applied to the device 1 from the upper side of the film 15, the film 15 and the resin thereunder are deformed, for example, the wire 13 is disconnected and cracks are generated in the film 15. Therefore, in case where any disconnection failure occurs in the wire 13 of the shipped device 1, it can be estimated that the disconnection failure is caused by the outer stress which is applied after shipping, if there are any cracks in the film 15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A substrate A chip by which die bonding was carried out on said substrate Closure resin to which a conductor which connects a semiconductor device formed in a surface side of said chip and a terminal on said surface of a substrate, and said chip and said conductor were applied on said substrate in the state of the wrap It is the semiconductor device equipped with the above, and is characterized by coming to apply an overcoat film of the shape of a thin film which consists of the quality of the material which has a coefficient of linear expansion [harder than said closure resin and] comparable as the closure resin concerned on the closure resin concerned.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device which comes to carry out bare chip mounting of the chip with which the semiconductor device was formed on a substrate.

[0002]

[Description of the Prior Art] The semiconductor device with which the mounting method called COB (CHip On Board) was given is equipped with the closure resin 14 to which the wire 13 which is the conductor which connects the semiconductor device (not shown) of the chip 12 by which die bonding was carried out on the substrate 11, and this chip 12 surface, and the terminal (not shown) of the substrate 11 above-mentioned surface, and a chip 12 and a wire 13 were applied on the substrate 11 in the state of the wrap as shown in drawing 3 (1).

[0003] The above-mentioned closure resin 14 is for securing the moisture resistance of a semiconductor device 2. And generally the material which constitutes this closure resin 14 has a value with that large coefficient of linear expansion as compared with the change of a principal member which constitutes a substrate 11 and a chip 12. Then, it has prevented that stress (it is hereafter described as internal stress) arises in the interface of a chip 12 and a substrate 11, and closure resin 14 by the difference in the above-mentioned coefficient of linear expansion by choosing the material which has flexibility as a material which constitutes closure resin 14, and can maintain a configuration.

[0004] For this reason, as shown in drawing 3 (2), the above-mentioned closure resin 14 is greatly distorted from the outside to the stress (it is hereafter described as external force) A applied mechanically. And when closure resin 14 is distorted, a defect whom stress joins the wire 13 and chip 12 by which the closure is carried out into this closure resin 14, and this becomes a cause, for example, a wire 13 disconnects may occur. So, cautions are urged to the user who uses the above-mentioned semiconductor device 2 that closure resin 14 cannot be touched.

[0005]

[Problem(s) to be Solved by the Invention] However, if this external force is removed as shown in drawing 4 even if external force is applied to closure resin as mentioned above, the configuration of closure resin 14 will be restored to the configuration before external force is applied. Even if a defect whom the result 13, for example, a wire, disconnects occurred, it could not judge whether it was a thing resulting from the internal stress produced by that it is the thing or the heat history to which it originates in the above-mentioned external force (A), and the whereabouts of responsibility to failure of a product was not able to be clarified. For this reason, the measures which put a semiconductor device 2 into a case and prevent from touching closure resin 14 directly are also taken. However, this becomes the factor which makes cost increase sharply.

[0006]

[Means for Solving the Problem] Then, a chip with which die bonding of the semiconductor device of this invention was carried out a substrate and on this substrate, In a semiconductor device equipped with closure resin to which a conductor was applied on the above-mentioned

substrate in the state of the wrap a conductor and the above-mentioned chip which connect a semiconductor device on this surface of a chip, and a terminal on the above-mentioned surface of a substrate, and the above -- It is making into above-mentioned The means for solving a technical problem coming to apply an overcoat film of the shape of a thin film which consists of the quality of the material which has a coefficient of linear expansion [harder than the above-mentioned closure resin and] comparable as the closure resin concerned on the closure resin concerned.

[0007] In a semiconductor device of the above-mentioned configuration, an overcoat film is applied on closure resin. For this reason, if external force is added to closure resin or an overcoat film, only the amount with same closure resin and overcoat film will be distorted. Under the present circumstances, since the overcoat film is harder than closure resin, a crack arises on an overcoat film ahead of closure resin to the above-mentioned distortion. However, since it consists of the quality of the material which has coefficient of linear expansion with comparable closure resin and overcoat film, between closure resin and an overcoat film, it is hard to generate internal stress by thermal change, and a crack by internal stress is not generated on an overcoat film. For this reason, the above-mentioned crack becomes proof that external force was added to closure resin or an overcoat film.

[0008]

[Embodiment of the Invention] Drawing 1 is drawing which ** the semiconductor device of the operation gestalt of this invention, and explains the operation gestalt of this invention first based on this drawing 1 . In addition, it explains by giving the same sign to the same component as the former.

[0009] As shown in drawing 1 , about the chip 12 and wire 13 on a substrate 11, a semiconductor device 1 applies the thin film-like overcoat film 15 on wrap closure resin 14, and becomes. In the condition of having applied, the thing of closure resin 14 and the overcoat film 15 is been and changed into the condition of having stuck. The above-mentioned substrate 11 consists of a ceramic, and it has a coefficient of linear expansion comparable as the charge of a principal member which constitutes a chip 12. Moreover, the terminal (not shown) is formed in the field in which the chip 12 of a substrate 11 is laid.

[0010] And a semiconductor device (not shown) is formed in the surface side, and a chip 12 comes to form membranes a passivation film on a semiconductor device forming face further. Die bonding of this chip 12 is carried out on the substrate 11 concerned in the condition of having made the rear-face side of an element forming face countering a substrate 11. Moreover, a wire 13 consists of a gold streak and becomes the conductor which connects the above-mentioned semiconductor device of the chip 12 surface, and the above-mentioned terminal of the substrate 11 surface.

[0011] Furthermore, the above-mentioned closure resin 14 has silicone rubber, silicon polymerization epoxy material, or flexibility like other synthetic rubber, and elastic deformation is possible for it and it consists of a material which has the moisture proof effect. The coat of this closure resin 14 is carried out on a substrate 11 for example, by the potting method.

[0012] And the above-mentioned overcoat film 15 is the thing of the shape of a thin film which consists of the quality of the material which has a coefficient of linear expansion [harder than closure resin 14 and] comparable as the closure resin 14 concerned. Here, when closure resin 14 and the overcoat film 15 are distorted to the degree with which a damage joins a wire 13 according to external force at least, although a crack does not arise to closure resin 14, let hardness of the overcoat film 15 be the degree which a crack produces at the overcoat film 15 concerned. Moreover, let coefficient of linear expansion of the overcoat film 15 be the value which is the degree which a crack does not produce on the overcoat film 15 concerned with the temperature hysteresis for example, at the time of substrate mounting, and the internal stress specifically produced by the about -50--+220-degree C temperature change. Furthermore, the thickness of the overcoat film 15 is set as 0.2 micrometers or less as an example so that a crack may tend to enter according to the above-mentioned external force.

[0013] As a material which has the above quality of the materials, there are epoxy material, a charge of lacquering, acetic-acid system resin, an enamel system coating, etc. If it has the

quality of the material with which the above-mentioned conditions other than these are filled, it will be usable as a material which constitutes the overcoat film 15, and the coat of such a material or this becoming overcoat film 15 will be carried out on closure resin 14 by methods, such as the potting method and print processes.

[0014] In the semiconductor device 1 constituted as mentioned above, if external force A is applied from on the overcoat film 15 for example, as shown in drawing 2 (1), the overcoat film 15 concerned and the closure resin 14 under this will be distorted. And if this amount of distortion is large, a damage will join the wire 13 and chip 12 by which the closure is carried out into closure resin 14, and this will become a cause, for example, a wire 13 will be disconnected.

Furthermore, Crack a arises on the overcoat film 15 according to this external force A. Then, if the above-mentioned external force (A) is removed as shown in drawing 2 (2), closure resin 14 will be restored to the configuration before external force (A) is applied with the property in which the elastic deformation is possible, and the overcoat film 15 by which adhesion spreading was carried out at closure resin 14 will also be restored to the configuration before external force (A) is applied with this. However, Crack a is left behind to the overcoat film 15.

[0015] When the semiconductor device 1 shipped, for example starts a poor open circuit of a wire 13 from the above thing, it inspects, and if there is a crack a, it can be presumed to be what is depended on the external force applied after this poor open circuit shipping whether Crack a is in the above-mentioned overcoat film 15.

[0016] Moreover, since adhesion spreading of the overcoat film 15 is carried out at closure resin 14, also when direct external force is added to closure resin 14, distortion arises on the overcoat film 15. For this reason, the same presumption as the above can be performed. Therefore, there is no wrap necessity for 15 overcoat film about the whole surface on closure resin 14, for example, it may apply the overcoat film 15 to various marking. Furthermore, as compared with the conventional example which carried out the coat only of the closure resin 14 on the substrate 11, the amount of distortion of the closure resin 14 to the magnitude of the external force which joins closure resin 14 or the overcoat film 15 is stopped small. For this reason, as compared with the conventional example, there is an effect which reduces the damages added to a chip 12 and a wire 13 according to the above-mentioned external force. In addition, you may make it cover the whole surface of closure resin 14 by the overcoat film 15.

[0017]

[Effect of the Invention] As explained above, when external force joins an overcoat film or closure resin by having made the overcoat film which consists of the quality of the material which has a coefficient of linear expansion [harder than the closure resin concerned and] comparable as the closure resin concerned apply on the closure resin which closes the chip by which die bonding was carried out on the substrate according to the semiconductor device of this invention, the overcoat film concerned can be made to generate a crack as the proof. For this reason, it enables a defect [like / the wire piece generated after shipment] to judge whether it is a thing resulting from external force. It follows, for example, the analysis of the mechanism of pair *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. becomes easy at failure like the above-mentioned wire piece.

[Translation done.]

JAPANESE

[JP,09-121006,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE
INVENTION TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

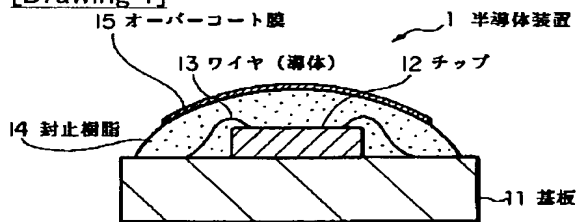
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

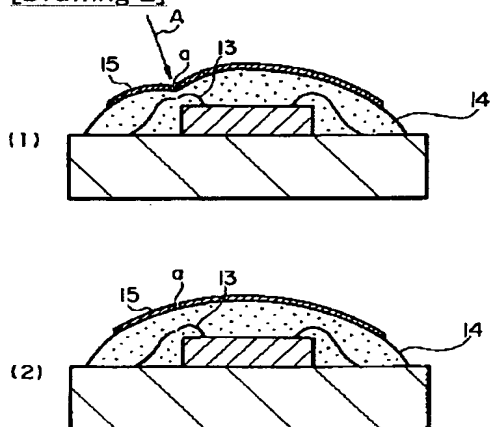
DRAWINGS

[Drawing 1]



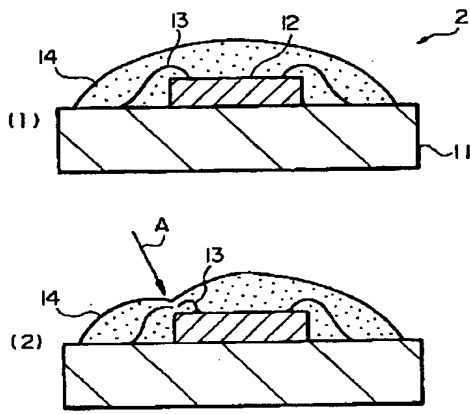
実施形態の半導体装置を説明する図(その1)

[Drawing 2]

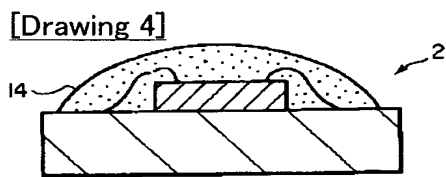


実施形態の半導体装置を説明する図(その2)

[Drawing 3]



従来の半導体装置を説明する図



従来の半導体装置の課題を説明する図

[Translation done.]